

**JP1995326718A**

**1995-12-12**

**Bibliographic Fields**

**Document Identity**

(19)【発行国】

日本国特許庁(JP)

(12)【公報種別】

公開特許公報(A)

(11)【公開番号】

特開平7-326718

(43)【公開日】

平成7年(1995)12月12日

**Public Availability**

(43)【公開日】

平成7年(1995)12月12日

**Technical**

(54)【発明の名称】

半導体記憶装置及びその製造方法

(51)【国際特許分類第6版】

H01L 27/115

21/8242

27/108

21/8247

29/788

29/792

【FI】

H01L 27/10 434

325 R

29/78 371

【請求項の数】

8

【出願形態】

OL

【全頁数】

10

(19) [Publication Office]

Japan Patent Office (JP)

(12) [Kind of Document]

Unexamined Patent Publication (A)

(11) [Publication Number of Unexamined Application]

Japan Unexamined Patent Publication Hei 7- 326718

(43) [Publication Date of Unexamined Application]

1995 (1995) December 12\*

(43) [Publication Date of Unexamined Application]

1995 (1995) December 12\*

(54) [Title of Invention]

**SEMICONDUCTOR STORAGE DEVICE AND ITS  
MANUFACTURING METHOD**

(51) [International Patent Classification, 6th Edition]

H01L 27/115

21/8242

27/108

21/8247

29/788

29/792

[FI]

H01L 27/10 434

325 R

29/78 371

[Number of Claims]

8

[Form of Application]

OL

[Number of Pages in Document]

10

**JP1995326718A**

**1995-12-12**

**Filing**

**【審査請求】**

未請求

**(21)【出願番号】**

特願平6-121339

**(22)【出願日】**

平成6年(1994)6月2日

**[Request for Examination]**

Unrequested

**(21) [Application Number]**

Japan Patent Application Hei 6- 121339

**(22) [Application Date]**

1994 (1994) June 2\*

**Parties**

**Applicants**

**(71)【出願人】**

**【識別番号】**

000005223.

**【氏名又は名称】**

富士通株式会社

**【住所又は居所】**

神奈川県川崎市中原区上小田中1015番地

**(71) [Applicant]**

**[Identification Number]**

000005223

**[Name]**

**FUJITSU LTD. (DB 69-053-5281)**

**[Address]**

Kanagawa Prefecture Kawasaki City Nakahara-ku  
Kamikodanaka 1015address

**Inventors**

**(72)【発明者】**

**【氏名】**

板倉 徹

**【住所又は居所】**

神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

**(72) [Inventor]**

**[Name]**

Itakura \*

**[Address]**

Kanagawa Prefecture Kawasaki City Nakahara-ku  
Kamikodanaka 1015address Fujitsu Ltd. (DB 69-053-5281) \*

**Agents**

**(74)【代理人】**

**【弁理士】**

**【氏名又は名称】**

岡本 啓三

**Abstract**

**(57)【要約】**

**【目的】**

揮発性メモリを備えた半導体記憶装置の製造方法に関し、DRAMとして作動可能なフローティングゲートとコントロールゲートを有する素子とその周辺回路の一部を同じ工程で形成すること。

**(74) [Attorney(s) Representing All Applicants]**

**[Patent Attorney]**

**[Name]**

Okamoto Keizo

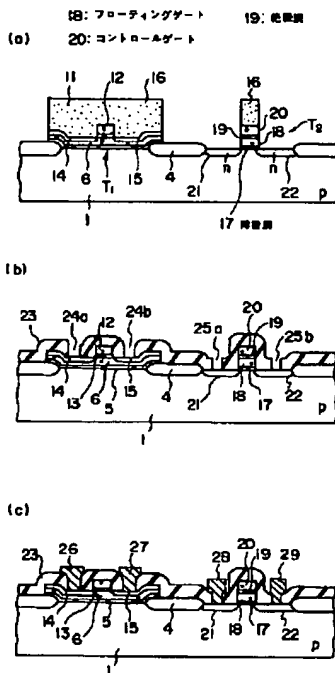
**(57) [Abstract]**

**[Objective]**

It regards manufacturing method of semiconductor storage device which has volatile memory , form the portion of element and peripheral circuit which possess operable floating gate and the control gate as DRAMs with same step .

## 【構成】

第一の半導体層 1 の上に第一の絶縁層 5、多結晶半導体層 6 を形成する工程と、前記多結晶半導体層 6 の上に第二の絶縁層 9 と導電層 10 を順に形成する工程と、前記導電層 10 と前記第二の絶縁層 9 をパターンニングして周辺回路領域に半導体素子を形成する工程と、メモリセル領域 2 において前記導電層 10、前記第二の絶縁層 9、前記多結晶半導体層 6 及び前記第一の絶縁層 5 をパターンニングして前記第一の半導体層 1 の上に順に障壁層 17、フローティングゲート 18、絶縁層 19、コントロールゲート 20 を形成する工程と、前記第一の半導体層 1 に不純物を導入してソース/ドレイン領域 21、22 を形成する工程とを含む。



## Claims

## 【特許請求の範囲】

## 【請求項 1】

メモリセル領域(2)の第一の半導体層(1)の上に形成された障壁層(17)、フローティングゲート(18)、絶縁層(19)及びコントロールゲート(20)と、該フローティングゲート(20)の両側の該第一の半導体層(1)に形成されたソース/ドレイン領域

## [Constitution]

patterning doing step. aforementioned conductive layer 10 and aforementioned second insulating layer 9 which on step. aforementioned polycrystalline semiconductor layer 6 which forms insulating layer 5, polycrystalline semiconductor layer 6 of first on semiconductor layer 1 of first form second insulating layer 9 and conductive layer 10 in order, in step. memory cell region 2 which forms semiconductor element in peripheral circuit region theaforementioned conductive layer 10, aforementioned second insulating layer 9, aforementioned polycrystalline semiconductor layer 6 and patterning doing insulating layer 5 of aforementioned first, introducing the impurity into semiconductor layer 1 of step. aforementioned first which on the semiconductor layer 1 of aforementioned first forms barrier layer 17, floating gate 18, insulating layer 19, control gate 20 in order, itincludes step which forms source/drain region 21, 22.

## [Claim(s)]

## [Claim 1]

barrier layer which was formed on semiconductor layer (1) of first of memory cell region (2) (17), floating gate (18), insulating layer (19) and control gate (20) with, memory cell which consists of source/drain region (21 and 22) which was formed to semiconductor layer (1) of the said first of both

(21,22)とからなるメモリセル( $T_2$ )と、

前記メモリセル領域(2)以外の領域において単結晶でない第二の半導体層(6)の上に形成された半導体素子( $T_1$ )を有することを特徴とする半導体記憶装置。

【請求項 2】

前記障壁層(17)は、前記第一の半導体層(1)のエネルギーバンド端に対するエネルギー障壁が酸化シリコンよりも小さな物質からなることを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】

前記障壁層(17)のエネルギー障壁は 0.5eV 以上で 1.0eV 以下であることを特徴とする請求項 2 記載の半導体記憶装置。

【請求項 4】

第一導電型の第一の半導体層(1)の上に、第一の絶縁層(5)、多結晶半導体層(6)を形成する工程と、

前記多結晶半導体層(6)の上に、第二の絶縁層(9)と導電層(10)を順に形成する工程と、

少なくとも前記導電層(10)と前記第二の絶縁層(9)をパターニングして周辺回路領域(3)に半導体素子( $T_1$ )を形成する工程と、

メモリセル領域(2)において、前記導電層(10)、前記第二の絶縁層(9)、前記多結晶半導体層(6)及び前記第一の絶縁層(5)をパターニングすることにより、前記第一の半導体層(1)の上に順に障壁層(17)、フローティングゲート(18)、絶縁層(19)、コントロールゲート(20)を形成する工程と、前記フローティングゲート(19)の両側の前記第一の半導体層(1)に第二導電型不純物を導入してソース/ドレイン領域(21,22)を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

【請求項 5】

第一導電型の第一の半導体層(31)の上に第一の絶縁層(35)を形成する工程と、

周辺回路領域(33)のうち少なくとも半導体素子形成領域にある前記第一の絶縁層(35)をパターニングにより除去する工程と、

sides of said floating gate (20) ( $T_{<sub>2</sub>}$ ) with,

semiconductor storage device . which designates that it possesses semiconductor element ( $T_{<sub>1</sub>}$ ) which was formed on second semiconductor layer (6) which is not a single crystal in region other than aforementioned memory cell region (2) as feature

[Claim 2]

As for aforementioned barrier layer (17), energy barrier for energy band edge of the semiconductor layer (1) of aforementioned first semiconductor storage device . which is stated in the Claim 1 which designates that it consists of small substance in comparison with silicon oxide as feature

[Claim 3]

As for energy barrier of aforementioned barrier layer (17) semiconductor storage device . which is stated in Claim 2 which designates that they are 1.0 eV or less with 0.5 eV or more as feature

[Claim 4]

On semiconductor layer (1) of first of first conduction type , insulating layer of first (5), step. which forms polycrystalline semiconductor layer (6)

On aforementioned polycrystalline semiconductor layer (6), second insulating layer (9) with step. which forms conductive layer (10) in order

At least aforementioned conductive layer (10) with patterning doing the aforementioned second insulating layer (9), step. which forms semiconductor element ( $T_{<sub>1</sub>}$ ) in the peripheral circuit region (3)

In memory cell region (2), aforementioned conductive layer (10), aforementioned second insulating layer (9), aforementioned polycrystalline semiconductor layer (6) and by patterning doing insulating layer (5) of aforementioned first , on semiconductor layer (1) of aforementioned first in order barrier layer (17), floating gate (18), insulating layer (19), Introducing second conduction type impurity into semiconductor layer (1) of aforementioned first of both sides of step. aforementioned floating gate (19) which forms control gate (20), manufacturing method . of semiconductor storage device which designates that it possesses the step which forms source/drain region (21 and 22) as feature

[Claim 5]

step. which forms insulating layer (35) of first on semiconductor layer (31 ) of the first of first conduction type

step. which removes insulating layer (35) of aforementioned first which among peripheral circuit region (33) at least is in semiconductor element forming region with patterning

エピタキシャル成長により前記周辺回路領域(33)の前記第一の半導体層(31)の上に単結晶の第二の半導体層(36a)を形成するとともに、メモリセル形成領域(32)にある前記第一の絶縁層(35)の上に単結晶でない第三の半導体層(36b)を形成する工程と、前記第二の半導体層(36a)及び前記第三の半導体層(36b)の上に、第二の絶縁層(39)と導電層(40)を順に形成する工程と、

少なくとも前記導電層(40)と前記第二の絶縁層(39)をパターンニングして前記周辺回路領域(33)の第二の半導体層(36a)に半導体素子( $t_1$ )を形成する工程と、

前記メモリセル領域(32)において、前記導電層(40)、前記第二の絶縁層(39)、前記第三の半導体層(36b)及び前記第一の絶縁層(35)をパターンニングして、前記第一の半導体層(31)の上に順に障壁層(47)、フローティングゲート(48)、絶縁層(49)、コントロールゲート(50)を形成する工程と、前記フローティングゲート(48)の両側の前記第一の半導体層(31)に第二導電型不純物を導入してソース/ドレイン領域(51,52)を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

#### 【請求項 6】

前記第二の半導体層(36a)と第三の半導体層(36b)は同時に形成されることを特徴とする請求項 5 記載の半導体記憶装置の製造方法。

#### 【請求項 7】

前記障壁層(17,47)は、前記第一の半導体層(1,31)のエネルギーバンド端に対するエネルギー障壁が酸化シリコンよりも小さな物質からなることを特徴とする請求項 4 又は 5 記載の半導体記憶装置の製造方法。

#### 【請求項 8】

前記障壁層(17,47)のエネルギー障壁は 0.5eV 以上で 1.0eV 以下であることを特徴とする請求項 7 記載の半導体記憶装置の製造方法。

### Specification

#### 【発明の詳細な説明】

【0001】

As second semiconductor layer (36 a ) of single crystal is formed on semiconductor layer (31 ) of theaforementioned first of aforementioned peripheral circuit region (33) with epitaxial growth ,step. aforementioned second semiconductor layer which forms third semiconductor layer (36 b ) which is not a single crystal on insulating layer (35) of aforementioned first which is memory cell forming region (32) (36 a ) and on aforementioned third semiconductor layer (36 b ), second insulating layer (39) with step. which forms conductive layer (40) in order

At least aforementioned conductive layer (40) with patterning doing theaforementioned second insulating layer (39), step. which forms semiconductor element ( $t_{>1}$ ) in the second semiconductor layer (36 a ) of aforementioned peripheral circuit region (33)

In aforementioned memory cell region (32), aforementioned conductive layer (40), theaforementioned second insulating layer (39), aforementioned third semiconductor layer (36 b ) and patterning doing insulating layer (35) of aforementioned first , on semiconductor layer (31 ) of theaforementioned first in order barrier layer (47), floating gate (48), insulating layer (49), Introducing second conduction type impurity into semiconductor layer (31 ) of aforementioned first of both sides of step. aforementioned floating gate (48) which forms control gate (50), manufacturing method . of semiconductor storage device which designates that it possesses the step which forms source/drain region (51 and 52) as feature

#### [Claim 6]

Aforementioned second semiconductor layer (36 a ) with as for third semiconductor layer (36 b ) manufacturing method . of the semiconductor storage device which is stated in Claim 5 which designates that it is formedsimultaneously as feature

#### [Claim 7]

As for aforementioned barrier layer (17 and 47), energy barrier for energy band edge of the semiconductor layer (1 and 31 ) of aforementioned first manufacturing method . of semiconductor storage device which is stated in Claim 4 or 5 which designates that it consists of small substance in comparison with silicon oxide as feature

#### [Claim 8]

As for energy barrier of aforementioned barrier layer (17 and 47) manufacturing method . of semiconductor storage device which is stated in Claim 7 which designates that they are 1.0 eV or less with 0.5 eV or more as feature

#### [Description of the Invention]

【0001】

## 【産業上の利用分野】

本発明は、半導体記憶装置及びその製造方法に関し、より詳しくは、揮発性メモリを備えた半導体記憶装置及びその製造方法に関する。

【0002】

## 【従来の技術】

半導体記憶装置としてダイナミックRAM(DRAM)があり、そのうち1つのMOSトランジスタを有するDRAMセルとして半導体基板の溝内に形成されたキャパシタを有するトレンチ型と、半導体基板の上に形成されたキャパシタを有するスタック型がある。

それらのキャパシタはMOSトランジスタの一方のソース/ドレイン領域に接続されている。

【0003】

一方、電子又は正孔を半永久的に蓄積する構造の半導体記憶装置としてEEPROM、フラッシュメモリがあり、それらのメモリセルは、半導体基板の上にフローティングゲートとコントロールゲートを備えた構造を有している。

そのようなメモリセルでは、通常、チャネル領域(半導体層)とフローティングゲートの間に介在させる障壁層(絶縁層)の材料として酸化シリコン(SiO<sub>2</sub>)等の酸化膜が使用され、これによりフローティングゲートに蓄積されたキャリアが半永久的に保持される。

【0004】

フローティングゲートに例えば電子を注入するには、その両側にあるソースとドレインの間に高電圧をかけることにより酸化膜を飛び越えるエネルギーをもつホットエレクトロンを発生させてこれをフローティングゲートに注入させる方法や、或いはコントロールゲートに高電圧を印加してトンネル電子をフローティングゲートに注入させる方法が採られている。

【0005】

## 【発明が解決しようとする課題】

そのようなコントロールゲート、フローティングゲートを備えた素子を揮発性メモリとして用いられれば、キャパシタを形成するために確保する領域を特別に設ける必要はないので理想的である。

しかし、従来構造の素子のフローティングゲートに半永久的に記憶内容を保持するための素子によれば、ホットエレクトロンを注入する方法で

## [Field of Industrial Application]

this invention regards semiconductor storage device and its manufacturing method, furthermore details regard semiconductor storage device and its manufacturing method which have volatile memory.

【0002】

## [Prior Art]

There is a dynamic RAM (DRAMs) as semiconductor storage device, there is a stacked type which possesses the trench type which possesses capacitor which was formed in groove of semiconductor substrate as DRAMs cell which possesses MOS transistor of one among those and capacitor which was formed on semiconductor substrate.

Those capacitor are connected to source/drain region of one side of MOS transistor.

【0003】

On one hand, there is a EEPROM, flash memory electron or positive hole as semiconductor storage device of structure which compilation is done in semipermanent, those memory cell have had structure which has floating gate and control gate on semiconductor substrate.

With that kind of memory cell, silicon oxide (SiO<sub>2</sub>) or other oxide film is used as material of barrier layer (insulating layer) which usually, channel region (semiconductor layer) with lies between between the floating gate, carrier which compilation is done because of this in floating gate is kept in semipermanent.

【0004】

for example electron is filled to floating gate, generating hot electron which has the energy which jumps over oxide film by applying high voltage between the source and drain which is both sides method of filling this to floating gate. Or imparting doing high voltage in control gate, method which fills the tunnel electron to floating gate is taken.

【0005】

## [Problems to be Solved by the Invention]

If it can use element which has that kind of control gate, floating gate as volatile memory because it is not necessary to provide region which is guaranteed in order to form capacitor especially it is a ideal.

But, according to element in order until recently in floating gate of element of structure to keep memory content in semipermanent, with method which fills hot electron and it is

もトンネル電子を注入する方法であっても例えば 15V の高電圧を印加する必要があるが、どちらもあまり大きな注入電子電流密度が得られないため、電子注入に数  $\mu$ s の時間が必要になる。

【0006】

このため、EEPROM に使用されているフローティングゲート、コントロールゲートを備えた構造の素子をそのまま DRAM セルとして使用することは難しい。

また、そのような構造のメモリセルと周辺回路の MOS トランジスタとを全く別な工程で形成すること避ける必要がある。

【0007】

本発明はこのような事情に鑑みてなされたものであって、フローティングゲートとコントロールゲートを有する素子と周辺回路の素子を同じ工程で形成できる半導体記憶装置及びその製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

上記した課題は、図 3(c) に例示するように、メモリセル領域 2 の第一の半導体層 1 の上に形成された障壁層 17、フローティングゲート 18、絶縁層 19 及びコントロールゲート 20 と、該フローティングゲート 20 の両側の該第一の半導体層 1 に形成されたソースドレイン領域 21, 22 とからなるメモリセル  $T_2$  と、前記メモリセル領域 2 以外の領域において単結晶でない第二の半導体層 6 の上に形成された半導体素子  $T_1$  を有することを特徴とする半導体記憶装置により解決する。

【0009】

前記障壁層 17 は、前記第一の半導体層 1 のエネルギーバンド端に対するエネルギー障壁が酸化シリコンよりも小さな物質からなることを特徴とする半導体記憶装置により解決する。

この場合、前記障壁層 17 のエネルギー障壁は 0.5eV 以上で 1.0eV 以下であることを特徴とする半導体記憶装置である。

または、図 1~図 3 に例示するように、第一導電型の第一の半導体層 1 の上に、第一の絶縁層 5、多結晶半導体層 6 を形成する工程と、前記多結晶半導体層 6 の上に、第二の絶縁層 9 と導

necessary imparting to do high voltage of for example 15V with method which fills  $10^{17}$  electron, but because neither excessively large fill electron current density is acquired, In electron implantation time of several  $\mu$ s becomes necessary.

【0006】

Because of this, that way as DRAMs cell, it is difficult to use element of structure which has floating gate, control gate which is used for the EEPROM.

In addition, it is necessary to avoid memory cell of that kind of structure and fact that MOS transistor of peripheral circuit is formed with completely another step.

【0007】

As for this invention considering to situation a this way, being something which it is possible, it designates that it offers semiconductor storage device and its manufacturing method which can form element of element and peripheral circuit which possess floating gate and control gate with same step as objective.

【0008】

[Means to Solve the Problems]

As for problem which you inscribed, as illustrated to Figure 3 (c), memory cell  $T_2$  which consists of barrier layer 17, floating gate 18, insulating layer 19 which was formed on semiconductor layer 1 of first of memory cell region 2 and source/drain region 21, 22 which was formed to semiconductor layer 1 of said first of both sides of control gate 20 and said floating gate 20 and, It solves with semiconductor storage device which designates that it possesses semiconductor element  $T_1$  which was formed on second semiconductor layer 6 which is not a single crystal in region other than aforementioned memory cell region 2 as feature.

【0009】

energy barrier for energy band edge of semiconductor layer 1 of aforementioned first itself solves aforementioned barrier layer 17, with semiconductor storage device which designates that it consists of small substance in comparison with silicon oxide as feature.

In case of this, energy barrier of aforementioned barrier layer 17 is the semiconductor storage device which designates that they are 1.0 eV or less with 0.5 eV or more as feature.

Or, as illustrated to Figure 1~Figure 3, on semiconductor layer 1 of first of the first conduction type, on step, aforementioned polycrystalline semiconductor layer 6 which forms insulating layer 5, polycrystalline semiconductor layer

電層 10 を順に形成する工程と、少なくとも前記導電層 10 と前記第二の絶縁層 9 をパターンニングして周辺回路領域 3 に半導体素子  $T_1$  を形成する工程と、メモリセル領域 2 において、前記導電層 10、前記第二の絶縁層 9、前記多結晶半導体層 6 及び前記第一の絶縁層 5 をパターンニングすることにより、前記第一の半導体層 1 の上に順に障壁層 17、フローティングゲート 18、絶縁層 19、コントロールゲート 20 を形成する工程と、前記フローティングゲート 19 の両側の前記第一の半導体層 1 に第二導電型不純物を導入してソース/ドレイン領域 21,22 を形成する工程とを有することを特徴とする半導体記憶装置の製造方法により解決する。

## 【0010】

または、図 4~図 6 に例示するように、第一導電型の第一の半導体層 31 の上に第一の絶縁層 35 を形成する工程と、周辺回路領域 33 のうち少なくとも半導体素子形成領域にある前記第一の絶縁層 35 をパターンニングにより除去する工程と、エピタキシャル成長により前記周辺回路領域 33 の前記第一の半導体層 31 の上に単結晶の第二の半導体層 36a を形成するとともに、メモリセル形成領域 32 にある前記第一の絶縁層 35 の上に単結晶でない第三の半導体層 36b を形成する工程と、前記第二の半導体層 36a 及び前記第三の半導体層 36b の上に、第二の絶縁層 39 と導電層 40 を順に形成する工程と、少なくとも前記導電層 40 と前記第二の絶縁層 39 をパターンニングして前記周辺回路領域 33 の第二の半導体層 36a に半導体素子  $t_1$  を形成する工程と、前記メモリセル領域 32 において、前記導電層 40、前記第二の絶縁層 39、前記第三の半導体層 36b 及び前記第一の絶縁層 35 をパターンニングして、前記第一の半導体層 31 の上に順に障壁層 47、フローティングゲート 48、絶縁層 49、コントロールゲート 50 を形成する工程と、前記フローティングゲート 48 の両側の前記第一の半導体層 31 に第二導電型不純物を導入してソース/ドレイン領域 51,52 を形成する工程とを有することを特徴とする半導体記憶装置の製造方法により解決する。

## 【0011】

6 of the first, step. which forms second insulating layer 9 and conductive layer 10 in order at least patterning doing aforementioned conductive layer 10 and aforementioned second insulating layer 9, in step. memory cell region 2 which forms semiconductor element  $T_{<sub>1</sub>}$  in peripheral circuit region 3, In patterning doing insulating layer 5 of aforementioned conductive layer 10, aforementioned second insulating layer 9, aforementioned polycrystalline semiconductor layer 6 and aforementioned first depending, Introducing second conduction type impurity into semiconductor layer 1 of aforementioned first of both sides of step. aforementioned floating gate 19 which on semiconductor layer 1 of the aforementioned first forms barrier layer 17, floating gate 18, insulating layer 19, control gate 20 in order, it solves with the manufacturing method of semiconductor storage device which designates that it possesses step which forms source/drain region 21, 22 as feature.

## 【0010】

Or, as illustrated to Figure 4 ~Figure 6, as second semiconductor layer 36a of single crystal is formed on semiconductor layer 31 of aforementioned first of aforementioned peripheral circuit region 33 with step. epitaxial growth which is removed among step. peripheral circuit region 33 which form insulating layer 35 of first on semiconductor layer 31 of first of first conduction type at least insulating layer 35 of aforementioned first which is semiconductor element forming region with patterning, On step. aforementioned second semiconductor layer 36a and aforementioned third semiconductor layer 36b which form third semiconductor layer 36b which is not a single crystal on insulating layer 35 of aforementioned first which is memory cell forming region 32, step. which forms second insulating layer 39 and the conductive layer 40 in order at least patterning doing aforementioned conductive layer 40 and aforementioned second insulating layer 39, in step. aforementioned memory cell region 32 which forms semiconductor element  $t_{<sub>1</sub>}$  in second semiconductor layer 36a of aforementioned peripheral circuit region 33, patterning doing insulating layer 35 of aforementioned conductive layer 40, aforementioned second insulating layer 39, aforementioned third semiconductor layer 36b and aforementioned first, introducing second conduction type impurity into semiconductor layer 31 of aforementioned first of both sides of step. aforementioned floating gate 48 which on semiconductor layer 31 of the aforementioned first forms barrier layer 47, floating gate 48, insulating layer 49, control gate 50 in order, it solves with the manufacturing method of semiconductor storage device which designates that it possesses step which forms source/drain region 51, 52 as feature.

## 【0011】



前記第二の半導体層 36a と第三の半導体層 36b は同時に形成されることを特徴とする半導体記憶装置の製造方法により解決する。

前記障壁層 17,47 は、前記第一の半導体層 1,31 のエネルギーバンド端に対するエネルギー障壁が酸化シリコンよりも小さな物質からなることを特徴とする半導体記憶装置の製造方法により解決する。

この場合、前記障壁層 17,47 のエネルギー障壁は 0.5eV 以上で 1.0eV 以下であることを特徴とする半導体記憶装置の製造方法により解決する。

【0012】

【作用】

本発明によれば、フローティングゲートとコントロールゲートを有するメモリセルを形成する際に、フローティングゲートとコントロールゲートを構成する半導体層を周辺回路素子を構成する膜として使用するようにしている。

従って、周辺回路素子を形成する際の成膜工程が少なくなる。

【0013】

また、フローティングゲートを構成する半導体層の下に絶縁層を除去した後、周辺回路領域においてフローティングゲートを構成する半導体層をエピタキシャル成長するようにしている。

このため、フローティングゲートを構成する半導体層は周辺回路領域において単結晶化するので、ここに形成される半導体素子の素子特性が良くなり、メモリセルの高速動作を可能にする。

【0014】

ところで、本発明によれば、チャネル領域となる半導体層のエネルギーバンド端に対するエネルギー障壁が酸化シリコンよりも小さな材料によってメモリセルの障壁層を構成している。

このため、低電圧によって短時間に多量のキャリアをフローティングゲートに注入することが可能になり、かつ、低電圧、短時間でキャリアをフローティングゲートから放出できる。

【0015】

障壁層の材料として、半導体層のエネルギーバンド端に対するエネルギー障壁高さを 0.5eV 以上で 1.0eV 以下の物質、例えば  $\beta$  結晶炭化シリ

It solves aforementioned second semiconductor layer 36a and third semiconductor layer 36b with manufacturing method of the semiconductor storage device which designates that it is formed simultaneously as feature.

energy barrier for energy band edge of semiconductor layer 1, 31 of aforementioned first it solves aforementioned barrier layer 17, 47, with manufacturing method of semiconductor storage device which designates that it consists of small substance in comparison with the silicon oxide as feature.

In case of this, it solves energy barrier of aforementioned barrier layer 17, 47 with manufacturing method of semiconductor storage device which designates that they are 1.0 eV or less with 0.5 eV or more as feature.

【0012】

【Working Principle】

According to this invention, when forming memory cell which possesses the floating gate and control gate, configuration is done by floating gate and control gate using semiconductor layer which as film which peripheral circuit element configuration is done.

Therefore, when forming peripheral circuit element, film formation step decreases.

【0013】

In addition, after removing insulating layer under semiconductor layer which floating gate configuration is done, epitaxial growth is done on semiconductor layer which floating gate configuration is done in peripheral circuit region.

Because of this, because to single crystal it converts semiconductor layer which floating gate configuration is done in peripheral circuit region, element characteristic of semiconductor element which is formed here becomes good, makes high speed operation of [memory cell] possible.

【0014】

By way, according to this invention, energy barrier for energy band edge of the semiconductor layer which becomes channel region barrier layer of memory cell configuration is done with small material in comparison with silicon oxide.

Because of this, it becomes possible, with low voltage to fill the carrier of large amount to floating gate in short time, at same time, with low voltage, short time can discharge carrier from floating gate.

【0015】

required time greatly is shortened to fill and discharge of the carrier as material of barrier layer, energy barrier height for energy band edge of semiconductor layer when substance, for

コンを使用すると、従来に比べてキャリアの注入、放出に必要な時間が大幅に短縮される。

キャリアの保持時間は短くなるが、DRAMとして使用するため問題はない。

【0016】

【実施例】

そこで、以下に本発明の実施例を図面に基づいて説明する。

(第1実施例)図1~図3は、本発明の第1実施例を示す半導体記憶装置の製造工程を示す断面図である。

【0017】

まず、図1(a)に示すように、p型のシリコン基板(半導体層)1のメモリセル形成領域2と周辺回路形成領域3において素子分離のためにフィールド酸化膜4を選択酸化法により形成する。

次に、図1(b)に示すように、CVD法により $\beta$ 結晶炭化シリコン( $\beta$ -SiC)層5を10nmの厚さに形成し、続いて第一の多結晶シリコン層6を160nmの厚さに形成する。

$\beta$ -SiC層5は、水素で希釈したジシラン( $\text{Si}_2\text{H}_6$ )とアセチレン( $\text{C}_2\text{H}_2$ )を用いて成長温度900 deg C、成長時間1分で形成した。

第一の多結晶シリコン層6は、モノシラン( $\text{SiH}_4$ )を用いて600 deg C、0.4Torrの減圧CVDにより形成した。

【0018】

その後、図1(c)に示すように、第一のレジスト7を多結晶シリコン層6の上に塗布し、これを露光、現像することにより周辺回路形成領域3に窓7aを形成し、その窓7aから多結晶シリコン層6を露出させる。

そして、第一のレジスト7の窓7aを通して、加速エネルギー20keV、ドーズ量 $1 \times 10^{13}/\text{cm}^2$ の条件でホウ素( $\text{B}^+$ )を周辺回路形成領域3の多結晶シリコン層6にイオン注入した。

【0019】

さらに、第一のレジスト7を除去した後に、図1(d)に示すように第二のレジスト8を塗布し、これを露光、現像してメモリセル形成領域2に窓8aを形成する。

example ;be crystal silicon carbide of 1.0 eV or less is used with 0.5 eV or more, in comparison with past.

retention time of carrier becomes short, but in order to use as DRAMs there is not a problem .

【0016】

[Working Example(s)]

Then, Working Example of this invention based on the drawing is explained below.

(first Working Example ) Figure 1 ~Figure 3 is sectional view which shows production step of semiconductor storage device which shows first Working Example of this invention .

【0017】

field oxide film 4 is formed because of element separation with selective oxidation method first, as shown in Figure 1 (a), silicon substrate of p-type (semiconductor layer) in memory cell forming region 2 and the peripheral circuit forming region 3 of 1.

As next, shown in Figure 1 (b), be crystal silicon carbide (be -SiC) layer 5 is formed in the thickness of 10 nm with CVD method, continuously polycrystalline silicon layer 6 of first is formed in thickness of 160 nm .

The; be -SiC it formed layer 5, with growth temperature 900 deg C, growth time 1 min disilane which is diluted with hydrogen ( $\text{Si}_{2\text{H}_6}$ ) with making use of the acetylene ( $\text{C}_{2\text{H}_2}$ ).

It formed polycrystalline silicon layer 6 of first, with vacuum CVD of 600 deg C, 0.4Torr making use of monosilane ( $\text{SiH}_4$ ).

【0018】

After that, as shown in Figure 1 (c), resist 7 of first application is done on polycrystalline silicon layer 6, exposing and window 7a is formed in peripheral circuit forming region 3 by develop this, polycrystalline silicon layer 6 is exposed from window 7a.

And, through window 7a of resist 7 of first, with condition of acceleration energy \*20keV, dose  $1 \times 10^{13}/\text{cm}^2$  boron ( $\text{B}^+$ ) ion implantation was done in polycrystalline silicon layer 6 of peripheral circuit forming region 3.

【0019】

Furthermore, after removing resist 7 of first, as shown in the Figure 1 (d), application doing second resist 8, exposing and developing this it forms window 8a in memory cell forming region 2.

そして、窓 8a を通して、加速エネルギー 20keV、ドーズ量  $1 \times 10^{15}/\text{cm}^2$  の条件でリン ( $\text{P}^+$ ) をメモリセル形成領域 2 の多結晶シリコン層 6 にイオン注入した。

ついで、第二のレジスト 8 を剥離した。

【0020】

次に、図 2(a) に示すように、CVD により窒化シリコンを成長した後に、その表面を酸化して酸窒化シリコン層 (ONO 層) 9 を成長する。

その ONO 層 9 の膜厚は、図 3(c) において、コントロールゲート 20 とフローティングゲート 18 の間の容量が、フローティングゲート 17 とシリコン基板 1 の間の容量の 2 倍となる厚さ、例えば 10nm とする。

【0021】

続いて、ONO 層 9 の上に第二の多結晶シリコン層 10 を CVD により 160nm の厚さに形成する。

その成長条件は、第一の多結晶シリコン層 6 の成長条件と同じにする。

その後、加速エネルギー 20keV、ドーズ量  $4 \times 10^{15}/\text{cm}^2$  の条件で燐 ( $\text{P}^+$ ) を第二の多結晶シリコン層 10 にイオン注入する。

【0022】

次に、図 2(b) に示すように、第三のレジスト 11 を第二の多結晶シリコン層 10 の上に塗布してこれを露光、現像し、これにより周辺回路形成領域 2 内のトランジスタのソース/ドレイン領域の第二の多結晶シリコン層 10 を露出する。

この場合、第三のレジスト 11 によりそのトランジスタのゲート電極を形成しようとする部分も覆う。

【0023】

続いて、図 2(c) に示すように、第三のレジスト 11 をマスクにして第二の多結晶シリコン層 10 及び ONO 層 9 をエッチングし、トランジスタ形成領域に第二の多結晶シリコン層 10 からなるゲート電極 12 と、ONO 層 9 からなるゲート絶縁膜 13 を形成する。

その後、第三のレジスト 11 をマスクにして第一の多結晶シリコン層 6 に砒素 ( $\text{As}^+$ ) をイオン注入する。

そのイオン注入の際の加速エネルギーは 30keV、ドーズ量は  $5 \times 10^{15}/\text{cm}^2$  とする。

And, through window 8a, with condition of acceleration energy \*20keV, dose  $1 \times 10^{15}/\text{cm}^2$  phosphorus ( $\text{P}^+$ ) the ion implantation was done in polycrystalline silicon layer 6 of memory cell forming region 2.

Next, second resist 8 it peeled off.

【0020】

As next, shown in Figure 2 (a), silicon nitride after growing, oxidation doing surface with CVD, silicon oxynitride layer (ONO layer) 9 it grows.

As for film thickness of ONO layer 9, capacity between control gate 20 and the floating gate 18, capacity between floating gate 17 and silicon substrate 1 2-fold makes the thickness, for example 10nm which becomes in Figure 3 (c).

【0021】

Consequently, on ONO layer 9 second polycrystalline silicon layer 10 is formed in thickness of 160 nm with CVD.

It makes growth condition, same as growth condition of polycrystalline silicon layer 6 of first.

After that, with condition of acceleration energy \*20keV, dose  $4 \times 10^{15}/\text{cm}^2$  phosphorus ( $\text{P}^+$ ) ion implantation is done in second polycrystalline silicon layer 10.

【0022】

As next, shown in Figure 2 (b), application doing third resist 11 on the second polycrystalline silicon layer 10, it exposes, develops this, exposes second polycrystalline silicon layer 10 of source/drain region of transistor inside peripheral circuit forming region 2 because of this.

In case of this, it covers also portion which it tries to form gate electrode of transistor with third resist 11.

【0023】

Consequently, as shown in Figure 2 (c), second polycrystalline silicon layer 10 and ONO layer 9 the etching are done with third resist 11 as mask, gate electrode 12 which consist of second polycrystalline silicon layer 10 in transistor forming region and gate insulating film 13 which consists of ONO layer 9 are formed.

After that, arsenic ( $\text{As}^+$ ) ion implantation is done in polycrystalline silicon layer 6 of first with third resist 11 as mask.

Case of ion implantation as for acceleration energy \* as for 30 keV, dose it makes  $5 \times 10^{15}/\text{cm}^2$

このイオン注入された砒素を活性化することにより、ゲート電極 12 の両側の第一の多結晶シリコン層 6 にソース層 14、ドレイン層 15 を形成する。

これにより周辺回路形成領域 2 に nMOS トランジスタ  $T_1$  が形成された。

この nMOS トランジスタ  $T_1$  のゲート電極 12 の直下の第一の多結晶シリコン層 6 の表層がチャネル領域となる。

[0024]

次に、第三のレジスト 11 を剥離した後に、図 3(a) に示すように、さらに第四のレジスト 16 を塗布し、これを露光、現像して第四のレジスト 16 をパターニングする。

その第四のレジスト 16 のパターンは、周辺回路形成領域 2 の nMOS トランジスタ  $T_1$  を覆うとともに、その周辺を露出する。

さらに、その第四のレジスト 16 によってメモリセル形成領域 3 に形成されるトランジスタのゲート電極形成領域を覆う。

[0025]

そして、現像により第四のレジスト 16 が除去された領域の第二の多結晶シリコン層 10 から  $\beta$ -SiC 層 5 までの各層を例えば反応性イオンエッチング(RIE)により除去する。

これによりメモリセル形成領域 3 では、 $\beta$ -SiC 層 5 からなる障壁層 17、第一の多結晶シリコン層 6 からなるフローティングゲート 18、ONO 膜 9 からなる絶縁層 19、第二の多結晶シリコン 10 からなるコントロールゲート 20 が形成され、しかも、それらの周辺にはシリコン基板 1 の表面が露出する。

さらに、周辺回路形成領域 2 では nMOS トランジスタ  $T_1$  の少なくとも周辺のフィールド酸化膜 2 を露出させて素子分離を行う。

[0026]

このように  $\beta$ -SiC 層 5 までのパターニングを終えた後に、第四のレジスト 16 及びフィールド酸化膜 2 をマスクにしてフローティングゲート 18 の両側のシリコン基板 1 に砒素をイオン注入する。

そのイオン注入は、加速エネルギーを 30keV、ドーズ量を  $5 \times 10^{15}/\text{cm}^2$  として行い、砒素を活性化することによりフローティングゲート 18 の両側にはソース層 21、ドレイン層 22 が形成される。

</sup>.

source layer 14, drain layer 15 is formed in polycrystalline silicon layer 6 of first of both sides of gate electrode 12 by activating arsenic which this ion implantation is done.

Because of this nMOS transistor  $T_{<sub>1</sub>}$  was formed to peripheral circuit forming region 2.

surface layer of polycrystalline silicon layer 6 of first of directly below of gate electrode 12 of the this nMOS transistor  $T_{<sub>1</sub>}$  becomes channel region .

[0024]

As next, third resist 11 after peeling off, shown in Figure 3 (a), furthermore application doing resist 16 of fourth, exposing and developing this patterning it does resist 16 of fourth .

pattern of resist 16 of fourth, as nMOS transistor  $T_{<sub>1</sub>}$  of peripheral circuit forming region 2 is covered, exposes periphery .

Furthermore, gate electrode forming region of transistor which is formed to memory cell forming region 3 with resist 16 of fourth is covered.

[0025]

The;be -SiC each layer up to of layer 5 is removed from second polycrystalline silicon layer 10 of region where resist 16 of fourth is removed and, by development with for example reactive ion etching (RIE) .

Because of this with memory cell forming region 3, the;be -SiC control gate 20 which consists of insulating layer 19, second polycrystalline silicon 10 which consists of floating gate 18, ONO film 9 which consists of polycrystalline silicon layer 6 of barrier layer 17, first which consists of layer 5 to be formed, furthermore, the surface of silicon substrate 1 exposes in those periphery .

Furthermore, with peripheral circuit forming region 2 nMOS transistor  $T_{<sub>1</sub>}$  exposing field oxide film 2 of periphery at least, it does element separation .

[0026]

this way the;be -SiC after finishing patterning up to of layer 5, arsenic ion implantation is done in silicon substrate 1 of both sides of floating gate 18 with resist 16 and field oxide film 2 of fourth as mask .

ion implantation acceleration energy \* does 30 keV, dose as  $5 \times 10^{15}/\text{cm}^2$  source layer 21, drain layer 22 is formed to both sides of floating gate 18 by activating arsenic .

以上のフローティングゲート 18、コントロールゲート 20、ソース/ドレイン層 21,22 等によって DRAM セル  $T_2$  が形成される。

このトランジスタ  $T_2$  ではフローティングゲート 18 直下のシリコン基板 1 の表層がチャネル領域となる。

【0027】

なお、イオン注入後に第四のレジスト 16 は除去される。

次に、図 3(b) に示すように、全体に CVD により  $\text{SiO}_2$  よりなる層間絶縁膜 23 を形成した後に、これをパターニングして nMOS トランジスタ  $T_1$  のソース/ドレイン層 14,15 の上と DRAM セル  $T_2$  のソース/ドレイン層 21,22 の上に、それぞれコンタクトホール 24a,24b、25a,25b を形成する。

【0028】

この後に、全体にアルミニウムをスパッタにより形成してからこれをフォトリソグラフィによりパターニングして図 3(c) に示すようにソース/ドレイン層 14,15,21,22 に接続される電極 26~29 を形成する。

以上のような工程により形成された DRAM セル  $T_2$  において、シリコン基板 1 とフローティングゲート 18 の間に  $\beta$ -SiC よりなる障壁層 17 が形成されている。

この  $\beta$ -SiC よりなる障壁層 17 は、 $\text{SiO}_2$  により形成されたそれに比べてシリコン基板 1 の伝導帯電子に対するエネルギー障壁が小さくなる。

【0029】

従って、ソース・ドレイン間に電圧を印加してホット電子をフローティングゲート 18 に注入するか、コントロールゲート 20 に電圧を印加してトンネル電子をフローティングゲート 18 に注入すると、EEPROM に使用される素子に比べて低電圧で多量の電子を注入でき、しかも注入に必要な時間を小さくし、さらに、フローティングゲート 18 に注入された電子を外部に抜け易くして消去時間を短くできる。

【0030】

また、上記した実施例では、コントロールゲート 20 とフローティングゲート 18 の間の容量が、フローティングゲート 18 とシリコン基板 1 (チャネル領域) の間の容量の約 2 倍となるようにしているので、コントロールゲート 20 とチャネル領域の間に印加された電圧の  $2/3$  がチャネル領域とフロ

Is formed at floating gate 18, control gate 20, source/drain layer DRAMs cell  $T_{<sub>2</sub>}$  such as 21 above and 22.

With this transistor  $T_{<sub>2</sub>}$  surface layer of silicon substrate 1 of floating gate 18 directly below becomes channel region .

【0027】

Furthermore, resist 16 of fourth is removed after ion implantation .

As next, shown in Figure 3 (b) , after forming interlayer insulating film 23 which consists of  $\text{SiO}_{<sub>2</sub>}$  with CVD , patterning doing this in entirety , source/drain layer on 14 of nMOS transistor  $T_{<sub>1</sub>}$  and 15 and source/drain layer on 21 of DRAMs cell  $T_{<sub>2</sub>}$  and 22, it forms contact hole 24a, 24b, 25a, 25b respectively.

【0028】

After after this , forming aluminum in entirety with sputter , patterning doing this with photolithography , as shown in Figure 3 (c) , source/drain layer 14 and 15, it forms electrode 26~29 which is connected to 21 and 22.

Between silicon substrate 1 and floating gate 18 barrier layer 17 which consists of the  $\beta$ -SiC is formed in DRAMs cell  $T_{<sub>2</sub>}$  which was formed like above by the step .

As for barrier layer 17 which consists of this  $\beta$ -SiC , energy barrier for conduction band electron of silicon substrate 1 in comparison with that it was formed by the  $\text{SiO}_{<sub>2</sub>}$  becomes small.

【0029】

Therefore, imparting doing voltage between source \*drain , when it fills hot electron to floating gate 18, or imparting does voltage in control gate 20 and fills tunnel electron to floating gate 18, be able to fill electron of large amount with low voltage in comparison with element which is used for the EEPROM , furthermore to make required time small in fill, furthermore, Making electron which was filled in floating gate 18 easy, to come out to outside it can make elimination time short.

【0030】

In addition, because with Working Example which was inscribed, capacity between control gate 20 and floating gate 18 has tried to become, capacity between floating gate 18 and silicon substrate 1 (channel region ) approximately 2-fold ,  $2/3$  of voltage which imparting makes between control gate 20 and channel region catches between channel region and

ーティングゲート 20 の間にかかる。

【0031】

そして、コントロールゲート 20 とシリコン基板 1(チャネル領域)の間に 3V の電圧を印加してフローティングゲート 18 に電子を注入したところ、10ns 以内の時間で注入でき、しかも、注入後のコントロールゲート 20 での閾値電圧は、障壁層 2 として  $\text{SiO}_2$  を用いた場合よりも 0.5V 高くなり、電子の注入量が増えたことがわかった。

また、電子が注入されたフローティングゲート 18 からの電子放出時間も 10ns 以内で行うことができた。

【0032】

ところで、周辺回路形成領域 2 における nMOS トランジスタ  $T_1$  を形成する場合に、ゲート電極 12 の材料としてコントロールゲート 20 を構成する第二の多結晶シリコン膜 10 を使用し、またそのゲート絶縁膜 13 の材料としてコントロールゲート 20 の下の ONO 膜 9 を用いているので、nMOS トランジスタ  $T_1$  を構成する膜の成長工程は省略される。

【0033】

従って、nMOS トランジスタ  $T_1$  の製造工程は単純化される。

(第 2 実施例)図 4~図 6 は、本発明の第 2 実施例を示す半導体記憶装置の製造工程を示す断面図である。

まず、図 4(a) に示すように、p 型のシリコン基板(半導体層)31 のメモリセル形成領域 32 と周辺回路形成領域 33 において素子分離のためにフィールド酸化膜 34 を選択酸化法により形成する。

【0034】

次に、図 4(b) に示すように、CVD 法により  $\beta$  結晶炭化シリコン( $\beta$ -SiC)層 35 を 10nm の厚さに形成する。

$\beta$ -SiC 層 35 は、水素で希釈したジシラン( $\text{Si}_2\text{H}_6$ )とアセチレン( $\text{C}_2\text{H}_2$ )を用いて成長温度 900 deg C、成長時間 1 分で形成した。

この後に、図 4(b) に示すように、 $\beta$ -SiC 層 35 をフォトリソグラフィによりパターニングして周辺回路 33 から除去する。

【0035】

floating gate 20.

【0031】

And, imparting doing voltage of 3 V between control gate 20 and the silicon substrate 1 (channel region), when it filled electron to floating gate 18, be able to fill attime within 10 ns, furthermore, as for threshold voltage with control gate 20 after filling, 0.5 it became V high in comparison with when ituses  $\text{SiO}_2$  as barrier layer 2, it understood that injected amount of electron increased.

In addition, also electron discharge time from floating gate 18 where electron was filled within 10 ns, it was possible to do.

【0032】

By way, when nMOS transistor  $T_1$  in peripheral circuit forming region 2 is formed, to use second polycrystalline silicon film 10 which configuration does control gate 20 as material of gate electrode 12, because the ONO film 9 under control gate 20 is used in addition as material of gate insulating film 13, growth step of film which configuration does nMOS transistor  $T_1$  is abbreviated.

【0033】

Therefore, production step of nMOS transistor  $T_1$  is done simplification.

(second Working Example) Figure 4 ~Figure 6 is sectional view which shows production step of semiconductor storage device which shows second Working Example of this invention.

field oxide film 34 is formed because of element separation with selective oxidation method first, as shown in Figure 4 (a), silicon substrate of p-type (semiconductor layer) in memory cell forming region 32 and the peripheral circuit forming region 33 of 31.

【0034】

As next, shown in Figure 4 (b),  $\beta$ -SiC layer 35 is formed in the thickness of 10 nm with CVD method.

The  $\beta$ -SiC it formed layer 35, with growth temperature 900 deg C, growth time 1 min disilane which is diluted with hydrogen ( $\text{Si}_2\text{H}_6$ ) with making use of the acetylene ( $\text{C}_2\text{H}_2$ ).

As after this, shown in Figure 4 (b), the  $\beta$ -SiC patterning doing layer 35 with photolithography, it removes from peripheral circuit 33.

【0035】

次に、図 4(c) に示すように、CVD によりシリコン基板 31 の上に単結晶のシリコン層 36a を選択エピタキシャル成長するとともに、フィールド酸化膜 34 及び  $\beta$ -SiC 層 32 の上に多結晶のシリコン層 36b を成長する。

シリコン層 36a, 36b を成長する際には、成長ガスとして  $\text{SiH}_4$  を用い、成長温度を 800 deg C、成長雰囲気を 0.4 Torr とし、その膜厚を 160 nm とする。

[0036]

続いて、第一のレジスト 37 をシリコン層 36a, 36b の上に塗布し、これを露光、現像することにより周辺回路形成領域 33 に窓 37a を形成し、その窓 37a から多結晶シリコン層 36b を露出させる。

そして、第一のレジスト 37 の窓 37a を通して、加速エネルギー 20 keV、ドーズ量  $1 \times 10^{13}/\text{cm}^2$  の条件でホウ素 ( $\text{B}^+$ ) を周辺回路形成領域 33 の単結晶の多結晶シリコン層 36a にイオン注入した。

[0037]

さらに、第一のレジスト 37 を除去した後に、図 4(d) に示すように第二のレジスト 38 を塗布し、これを露光、現像してメモセル形成領域 32 に窓 38a を形成する。

そして、窓 38a を通して、加速エネルギー 20 keV、ドーズ量  $1 \times 10^{15}/\text{cm}^2$  の条件でリン ( $\text{P}^+$ ) をメモセル形成領域 32 のシリコン層 36b にイオン注入した。

ついで、第二のレジスト 38 を剥離した。

[0038]

次に、図 5(a) に示すように、CVD により窒化シリコンを成長した後に、その表面を酸化して酸窒化シリコン層 (ONO 層) 39 を成長する。

その ONO 層 39 の膜厚は、図 6(c) において、コントロールゲート 50 とフローティングゲート 48 の間の容量が、フローティングゲート 48 とシリコン基板 31 の間の容量の 2 倍となる厚さ、例えば 10 nm とする。

[0039]

続いて、ONO 層 39 の上に多結晶シリコン層 40 を CVD により 160 nm の厚さに形成する。

その成長条件は、成長ガスとして  $\text{SiH}_4$  を用い、成長温度を 600 deg C、成長雰囲気を 0.4 Torr とし、その膜厚を 160 nm とする。

As next, shown in Figure 4 (c), as silicon layer 36a of single crystal theselective epitaxial growth is done on silicon substrate 31 with CVD, field oxide film 34 and the  $\beta$ -SiC silicon layer 36b of polycrystalline it grows with respect to layer 32.

growth temperature 800 deg C, growth atmosphere are designated as 0.4 Torr silicon layer 36a, 36b when growing, making use of  $\text{SiH}_4$  as growth gas, film thickness is designated as 160 nm.

[0036]

Consequently, resist 37 of first application is made on silicon layer 36a, 36b, exposing and window 37a is formed in peripheral circuit forming region 33 by develop this, the polycrystalline silicon layer 36b is exposed from window 37a.

And, through window 37a of resist 37 of first, with condition of acceleration energy 20 keV, dose  $1 \times 10^{13}/\text{cm}^2$  boron ( $\text{B}^+$ ) ion implantation was designated as polycrystalline silicon layer 36a of the single crystal of peripheral circuit forming region 33.

[0037]

Furthermore, after removing resist 37 of first, as shown in the Figure 4 (d), application doing second resist 38, exposing and developing this it forms window 38a in memory cell forming region 32.

And, through window 38a, with condition of acceleration energy 20 keV, dose  $1 \times 10^{15}/\text{cm}^2$  phosphorus ( $\text{P}^+$ ) the ion implantation was designated as silicon layer 36b of memory cell forming region 32.

Next, second resist 38 it peeled off.

[0038]

As next, shown in Figure 5 (a), silicon nitride after growing, oxidation doing surface with CVD, silicon oxynitride layer (ONO layer) 39 it grows.

As for film thickness of ONO layer 39, capacity between control gate 50 and the floating gate 48, capacity between floating gate 48 and silicon substrate 31 2-fold makes the thickness, for example 10 nm which becomes in Figure 6 (c).

[0039]

Consequently, on ONO layer 39 polycrystalline silicon layer 40 is formed in thickness of 160 nm with CVD.

Growth condition growth temperature designates 600 deg C, growth atmosphere as 0.4 Torr making use of  $\text{SiH}_4$  as growth gas, designates the film

し、その膜厚を 160nm とする。

その後、加速エネルギー 20keV、ドーズ量  $4 \times 10^{15}/\text{cm}^2$  の条件で磷( $\text{P}^+$ )を多結晶シリコン層 40 にイオン注入する。

[0040]

次に、図 5(b) に示すように、第三のレジスト 41 を多結晶シリコン層 40 の上に塗布してこれを露光、現像し、周辺回路形成領域 32 のトランジスタのソース/ドレイン領域の多結晶シリコン層 40 を露出するパターンを形成する。

この場合、第三のレジスト 41 によりそのトランジスタのゲート電極形成領域が覆われている。

[0041]

続いて、図 5(c) に示すように、第三のレジスト 41 をマスクにして第二の多結晶シリコン層 40 及び ONO 層 39 をエッチングし、トランジスタ形成領域に第二の多結晶シリコン層 40 からなるゲート電極 42 と、ONO 層 39 からなるゲート絶縁膜 43 を形成する。

その後、第三のレジスト 11 をマスクにして単結晶のシリコン層 36a に砒素( $\text{As}^+$ )をイオン注入する。

そのイオン注入の際の加速エネルギーは 30keV、ドーズ量は  $5 \times 10^{15}/\text{cm}^2$  とする。

このイオン注入された砒素を活性化することにより、ゲート電極 42 の両側の単結晶シリコン層 36a にソース層 44、ドレイン層 45 を形成する。

これにより周辺回路形成領域 2 に nMOS トランジスタ  $t_1$  が形成された。

この nMOS トランジスタ  $t_1$  のゲート電極 42 の直下の単結晶のシリコン層 36a の表層がチャネル領域となる。

[0042]

次に、第三のレジスト 41 を剥離した後に、図 6(a) に示すように、さらに第四のレジスト 46 を塗布し、これを露光、現像して第四のレジスト 46 をパターンニングする。

その第四のレジスト 46 のパターンは、周辺回路形成領域 32 の nMOS トランジスタ  $t_1$  を覆いかつその周辺を露出する。

さらに、その第四のレジスト 46 によりメモリセル形成領域 33 に形成されるトランジスタのゲート電極形成領域を覆うようにする。

thickness as 160 nm .

After that, with condition of acceleration energy \*20keV , dose  $4 \times 10^{15}/\text{cm}^2$  phosphorus ( $\text{P}^+$ ) ion implantation is designated as polycrystalline silicon layer 40.

[0040]

As next, shown in Figure 5 (b) , application making third resist 41 on the polycrystalline silicon layer 40, it exposes, develops this, it forms pattern which exposes the polycrystalline silicon layer 40 of source/drain region of transistor of peripheral circuit forming region 32.

In case of this , gate electrode forming region of transistor is covered by third resist 41.

[0041]

Consequently, as shown in Figure 5 (c) , second polycrystalline silicon layer 40 and ONO layer 39 the etching are done with third resist 41 as mask , gate electrode 42 which consists of second polycrystalline silicon layer 40 in transistor forming region and gate insulating film 43 which consists of ONO layer 39 are formed.

After that, arsenic ( $\text{As}^+$ ) ion implantation is done in silicon layer 36a of single crystal with third resist 11 as mask .

Case of ion implantation as for acceleration energy \* as for 30 keV , dose it makes  $5 \times 10^{15}/\text{cm}^2$  .

source layer 44, drain layer 45 is formed in single crystal silicon layer 36a of both sides of gate electrode 42 by activating arsenic which this ion implantation is done.

Because of this nMOS transistor  $t_1$  was formed to peripheral circuit forming region 2.

surface layer of silicon layer 36a of single crystal of directly below of gate electrode 42 of the this nMOS transistor  $t_1$  becomes channel region .

[0042]

As next, third resist 41 after peeling off, shown in Figure 6 (a) , furthermore application doing resist 46 of fourth , exposing and developing this patterning it does resist 46 of fourth .

pattern of resist 46 of fourth nMOS transistor  $t_1$  of peripheral circuit forming region 32 exposes the cover and periphery .

Furthermore, try to cover gate electrode forming region of transistor which is formed to memory cell forming region 33 by resist 46 of fourth .



[0043]

そして、現像により第四のレジスト 46 が除去された領域の多結晶シリコン層 40 から  $\beta$ -SiC 層 35 までの各層を例えば反応性イオンエッチング (RIE)により除去する。

これによりメモリセル形成領域 43 では、 $\beta$ -SiC 層 35 からなる障壁層 47、多結晶のシリコン層 36b からなるフローティングゲート 48、ONO 膜 39 からなる絶縁層 49、多結晶シリコン 40 からなるコントロールゲート 50 が形成され、しかも、それらの周辺にはシリコン基板 31 の表面が露出する。

さらに、周辺回路形成領域 32 では nMOS トランジスタ  $t_1$  の少なくとも周辺のフィールド酸化膜 32 を露出させて素子分離を行う。

[0044]

このように  $\beta$ -SiC 層 35 までのパターニングを終えた後に、第四のレジスト 46 及びフィールド酸化膜 32 をマスクにしてフローティングゲート 48 の両側のシリコン基板 31 に砒素をイオン注入する。

そのイオン注入は、加速エネルギーを 30keV、ドーズ量を  $5 \times 10^{15}/\text{cm}^2$  として行い、砒素を活性化することによりフローティングゲート 48 の両側にはソース層 51、ドレイン層 52 が形成される。

以上のフローティングゲート 48、コントロールゲート 50、ソース/ドレイン層 51,52 等によって DRAM セル  $t_2$  が形成される。

このトランジスタ  $t_2$  ではフローティングゲート 48 直下のシリコン基板 31 の表層がチャネル領域となる。

[0045]

なお、イオン注入後に第四のレジスト 46 は除去される。

次に、図 6(b) に示すように、全体に CVD により  $\text{SiO}_2$  よりなる層間絶縁膜 53 を形成した後に、これをパターニングして nMOS トランジスタ  $t_1$  のソース/ドレイン層 44,45 の上と、DRAM セル  $t_2$  のソース/ドレイン層 51,52 の上にそれぞれコンタクトホール 54a,54b,55a,55b を形成する。

[0046]

この後に、全体にアルミニウムをスパッタにより形成してからこれをフォトリソグラフィによりパターニングして図 6(c) に示すようにソース/ドレイン層 44,45,51,52 に接続される電極 56~59 を形成する。

[0043]

The  $\beta$ -SiC each layer up to of layer 35 is removed from polycrystalline silicon layer 40 of region where resist 46 of fourth is removed and, by development with for example reactive ion etching (RIE).

Because of this with memory cell forming region 43, the  $\beta$ -SiC control gate 50 which consists of insulating layer 49, polycrystalline silicon 40 which consists of floating gate 48, ONO film 39 which consists of silicon layer 36b of barrier layer 47, polycrystalline which consists of layer 35 to be formed, furthermore, the surface of silicon substrate 31 exposes in those periphery.

Furthermore, with peripheral circuit forming region 32 nMOS transistor  $t_1$  exposing field oxide film 32 of periphery at least, it does element separation.

[0044]

this way the  $\beta$ -SiC after finishing patterning up to of layer 35, arsenic ion implantation is done in silicon substrate 31 of both sides of floating gate 48 with resist 46 and field oxide film 32 of fourth as mask.

ion implantation acceleration energy \* does 30 keV, dose as  $5 \times 10^{15}/\text{cm}^2$  source layer 51, drain layer 52 is formed to both sides of floating gate 48 by activating arsenic.

Is formed at floating gate 48, control gate 50, source/drain layer DRAMs cell  $t_2$  such as 51 above and 52.

With this transistor  $t_2$  surface layer of silicon substrate 31 of floating gate 48 directly below becomes channel region.

[0045]

Furthermore, resist 46 of fourth is removed after ion implantation.

As next, shown in Figure 6 (b), after forming interlayer insulating film 53 which consists of  $\text{SiO}_2$  with CVD, patterning doing this in entirety, source/drain layer on 44 of nMOS transistor  $t_1$  and 45 and, source/drain layer it forms contact hole 54a, 54b, 55a, 55b respectively on 51 of DRAMs cell  $t_2$  and 52.

[0046]

After after this, forming aluminum in entirety with sputter, patterning doing this with photolithography, as shown in Figure 6 (c), in source/drain layer it forms electrode 56~59 which is connected 44, 45, 51 and 52.

以上のような工程により形成された DRAM セル  $t_2$  において、シリコン基板 31 とフローティングゲート 48 の間に  $\beta$ -SiC よりなる障壁層 47 が形成されている。

この  $\beta$ -SiC よりなる障壁層 47 は、 $\text{SiO}_2$  により形成されたそれに比べてシリコン基板 31 の伝導帯電子に対するエネルギー障壁が小さくなる。

[0047]

従って、ソース・ドレイン間に電圧を印加してホットエレクトロンをフローティングゲート 48 に注入するか、コントロールゲート 50 に電圧を印加してトンネル電子をフローティングゲート 48 に注入すると、EEPROM に使用される素子に比べて低電圧でより多量の電子を注入でき、しかも注入に必要な時間を小さくし、さらに、フローティングゲート 48 に注入された電子を外部に抜け易くして消去時間を短くできる。

[0048]

また、上記した実施例では、コントロールゲート 50 とフローティングゲート 48 の間の容量が、フローティングゲート 48 とシリコン基板 31 (チャネル領域) の間の容量の約 2 倍となるようにしているので、コントロールゲート 50 とチャネル領域の間に印加された電圧の  $2/3$  がチャネル領域とフローティングゲート 48 の間にかかる。

[0049]

そして、コントロールゲート 50 とシリコン基板 31 (チャネル領域) の間に 3V の電圧を印加してフローティングゲート 48 に電子を注入したところ、10ns 以内の時間で注入でき、しかも、注入後のコントロールゲート 50 での閾値電圧は、障壁層 47 として  $\text{SiO}_2$  を用いた場合よりも 0.5V 高くなり、電子の注入量が増えたことがわかった。

また、電子が注入されたフローティングゲート 48 からの電子放出消去時間も 10ns 以内で行うことができた。

[0050]

ところで、周辺回路形成領域 32 における nMOS トランジスタ  $t_1$  を形成する場合に、DRAM セル  $t_2$  に使用する膜の一部を利用しているので、nMOS トランジスタ  $t_1$  を構成する膜の形成工程は省略でき、その製造工程は単純化される。

しかも、フローティングゲート 48 を構成するシリコン層 36b を形成する場合に、エピタキシャル成長する成長条件としているので、 $\beta$ -SiC 層 35

Between silicon substrate 31 and floating gate 48 barrier layer 47 which consists of the  $\beta$ -SiC is formed in DRAMs cell  $t_{sub}2$  which was formed like above by the step .

As for barrier layer 47 which consists of this  $\beta$ -SiC , energy barrier for conduction band electron of silicon substrate 31 in comparison with that it was formed by the  $\text{SiO}_2$  becomes small.

[0047]

Therefore, imparting doing voltage between source \*drain , when it fills hot electron to floating gate 48, or imparting does voltage in control gate 50 and fills tunnel electron to floating gate 48, be able to fill electron of large amount with from low voltage in comparison with element which is used for the EEPROM , furthermore to make required time small in fill, furthermore, Making electron which was filled in floating gate 48 easy, to come out to outside it can make elimination time short.

[0048]

In addition, because with Working Example which was inscribed, capacity between control gate 50 and floating gate 48 has tried to become, capacity between floating gate 48 and silicon substrate 31 (channel region ) approximately 2 -fold ,  $2/3$  of voltage which imparting makes between control gate 50 and channel region catches between channel region and floating gate 48.

[0049]

And, imparting doing voltage of 3 V between control gate 50 and the silicon substrate 31 (channel region ) , when it filled electron to floating gate 48, be able to fill attime within 10 ns , furthermore, as for threshold voltage with control gate 50 after filling, 0.5 it became V high in comparison with when it uses  $\text{SiO}_2$  as barrier layer 47, it understood that injected amount of electron increased.

In addition, also electron discharge elimination time from floating gate 48 where the electron was filled within 10 ns , it was possible to do.

[0050]

By way, when nMOS transistor  $t_{sub}1$  in peripheral circuit forming region 32 is formed, because portion of film which is used for DRAMs cell  $t_{sub}2$  is utilized, be able to abbreviate formation process of film which configuration does nMOS transistor  $t_{sub}1$  , the production step is done simplification .

Furthermore, when silicon layer 36b which configuration does floating gate 48 is formed, because it has made growth condition which epitaxial growth is done, because the  $\beta$ -SiC

が除去された周辺回路形成領域 33 のシリコン基板 31 の表面には単結晶のシリコン層 36a が同時に形成されるので、第 1 実施例に比べて周辺回路形成領域 33 の nMOS トランジスタ  $t_1$  のチャンネル領域の結晶性が向上し、トランジスタの動作がより高速になり、トランジスタ特性が良くなる。

これにより、上記工程は高速動作が必要なメモリの作製に適している。

(その他の実施例) 上記した実施例では障壁層 17, 47 の材料として  $\beta$ -SiC を使用しているが、キャリアが電子の場合にはシリコン基板(半導体層)の伝導帯に対するエネルギー障壁の高さが 0.5eV 以上で 1.01eV 以下の他の物質を用いてもよく、 $\beta$ -SiC の他の物質として例えばシリコンと炭素と窒素の混合比を適宜選択した化合物を使用してもよい。

少なくとも、チャンネル領域となる半導体層の伝導帯電子に対するエネルギー障壁が、従来使用されていた酸化シリコンよりも小さければフローティングゲート 18, 48 からの電子が注入され易くなり、かつ抜け易くなる。

[0051]

このような素子によれば、キャリアを蓄積する領域がトランジスタの形成領域内に収まるので、DRAM セルの面積が小さくなって高密度化が図れる。

また、上記した実施例ではフローティングゲートに電子を注入する構造の素子について説明したが、正孔を注入する構造を形成する場合に、フローティングゲートとチャンネル領域との間のエネルギー障壁が小さくなるようにしてもよい。

[0052]

さらに、上記した実施例では、周辺回路形成領域には nMOS トランジスタを形成しているが p 型 MOS トランジスタであってもよいし、バイポーラトランジスタその他の半導体素子を形成してもよい。

なお、上記した実施例では、フローティングゲートとコントロールゲートの間の絶縁層として ONO 層を使用しているが、シリコン酸化膜、周辺回路領域の MOS トランジスタの特性を考慮してその他の絶縁層で形成してもよい。

[0053]

[発明の効果]

silicon layer 36a of single crystal is formed to surface of the silicon substrate 31 of peripheral circuit forming region 33 where layer 35 is removed simultaneously, crystalline of channel region of nMOS transistor  $t_{sub}1$  of peripheral circuit forming region 33 improves in comparison with the first Working Example, from operation of transistor becomes high speed, transistor characteristic becomes good.

Because of this, above-mentioned step is suitable for the production of memory where high speed operation is necessary.

(Other Working Example) With Working Example which was inscribed the  $\beta$ -SiC is used as the material of barrier layer 17, 47, but when carrier is electron, height of the energy barrier for conduction band of silicon substrate (semiconductor layer) 0.5 eV or more, making use of other substance of 1.01 eV or less it is good. It is possible to use compound which selects mixing ratio of for example silicon and carbon and nitrogen appropriately the  $\beta$ -SiC as other substance.

At least, if energy barrier for conduction band electron of semiconductor layer which becomes the channel region, is small in comparison with silicon oxide which is used until recently electron from floating gate 18, 48 is likely, to be filled at same time is likely to come out.

[0051]

According to element which is this way, because region which the compilation does carrier is settled inside forming region of transistor, the surface area of DRAMs cell becoming small, it can assure high densification.

In addition, you explained with Working Example which was inscribed concerning element of structure which fills electron to floating gate, but when structure which fills positive hole is formed, it is possible that energy barrier between floating gate and channel region becomes small.

[0052]

Furthermore, with Working Example which was inscribed, nMOS transistor is formed in peripheral circuit forming region, but it is good even with p-type MOS transistor and, it forms the bipolar transistor other semiconductor element and is good.

Furthermore, with Working Example which was inscribed, ONO layer is used as insulating layer between floating gate and control gate, but considering characteristic of MOS transistor of silicon oxide film, peripheral circuit region, it forms with other insulating layer and is good.

[0053]

[Effects of the Invention]

以上述べたように本発明によれば、フローティングゲートとコントロールゲートを有するメモリセルを形成する際に、フローティングゲートとコントロールゲートを構成する半導体層を周辺回路素子を構成する膜として使用するようになっているので、周辺回路素子を形成する際の成膜工程が少なくできる。

【0054】

また、フローティングゲートを構成する半導体層の下に絶縁層を除去した後に、周辺回路領域においてフローティングゲートを構成する半導体層をエピタキシャル成長するようにしているので、フローティングゲートを構成する半導体層は周辺回路領域において単結晶化し、ここに形成される半導体素子の素子特性が良くなり、メモリセルの高速動作を可能にする。

【0055】

別の本発明によれば、チャネル領域となる半導体層のエネルギーバンド端に対するエネルギー障壁が酸化シリコンよりも小さな材料によってメモリセルの障壁層を構成しているため、低電圧によって多量のキャリアをフローティングゲートに注入することが可能になり、しかもそのキャリアの消去時間を短くできる。

障壁層の材料として、半導体層のエネルギーバンド端に対するエネルギー障壁高さを 0.5eV 以上で 1.0eV 以下の物質、例えばβ結晶炭化シリコンを使用しているため、従来に比べてキャリア注入に必要な時間を大幅に短縮でき、しかも消去時間も短くなって揮発性メモリとして十分に機能させることができる。

【図面の簡単な説明】

【図1】

本発明の第1実施例の製造工程を示す断面図(その1)である。

【図2】

本発明の第1実施例の製造工程を示す断面図(その2)である。

【図3】

本発明の第1実施例の製造工程を示す断面図(その3)である。

【図4】

本発明の第2実施例の製造工程を示す断面図(その1)である。

As above expressed, according to this invention, when forming memory cell which possesses floating gate and control gate, because it has tried to use semiconductor layer which configuration does floating gate and control gate, as film which configuration does peripheral circuit element when forming peripheral circuit element, it can make the film formation step little.

【0054】

In addition, after removing insulating layer under semiconductor layer which configuration does floating gate, because epitaxial growth it tries to do semiconductor layer which the floating gate configuration is done in peripheral circuit region, to single crystal it converts the semiconductor layer which configuration does floating gate in peripheral circuit region, element characteristic of the semiconductor element which is formed here becomes good, makes high speed operation of [momeriseru] possible.

【0055】

According to another this invention, because energy barrier for energy band edge of the semiconductor layer which becomes channel region barrier layer of memory cell configuration is done with small material in comparison with silicon oxide, to become possible to fill carrier of large amount to floating gate with low voltage, furthermore elimination time of carrier can be made short.

It can function in fully as material of barrier layer, because the substance, for example; be crystal silicon carbide of 1.0 eV or less is used with 0.5 eV or more, furthermore also elimination time becoming short, with energy barrier height for energy band edge of semiconductor layer as volatile memory in comparison with past greatly be able to shorten required time to carrier injection.

【Brief Explanation of the Drawing(s)】

【Figure 1】

It is a sectional view (That 1) which shows production step of first Working Example of this invention.

【Figure 2】

It is a sectional view (That 2) which shows production step of first Working Example of this invention.

【Figure 3】

It is a sectional view (That 3) which shows production step of first Working Example of this invention.

【Figure 4】

It is a sectional view (That 1) which shows production step of second Working Example of this invention.

## 【図5】

本発明の第 2 実施例の製造工程を示す断面図  
(その 2)である。

## 【図6】

本発明の第 2 実施例の製造工程を示す断面図  
(その 3)である。

## 【符号の説明】

1

シリコン基板(半導体層)

10

多結晶シリコン層(導電層)

12

ゲート電極

13

ゲート絶縁膜

14

ソース層

15

ドレイン層

17

障壁層

18

フローティングゲート

19

絶縁層

2

メモリセル形成領域

20

コントロールゲート

21

ソース層

22

ドレイン層

3

周辺回路形成領域

31

## [Figure 5]

It is a sectional view (That 2) which shows production step of  
second Working Example of this invention .

## [Figure 6]

It is a sectional view (That 3) which shows production step of  
second Working Example of this invention .

## [Explanation of Symbols in Drawings]

1

silicon substrate (semiconductor layer )

10

polycrystalline silicon layer (conductive layer )

12

gate electrode

13

gate insulating film

14

source layer

15

drain layer

17

barrier layer

18

floating gate

19

insulating layer

2

memory cell forming region

20

control gate

21

source layer

22

drain layer

3

peripheral circuit forming region

31

シリコン基板(半導体層)

32

silicon substrate (semiconductor layer )

32

メモリセル形成領域

memory cell forming region

33

33

周辺回路形成領域

peripheral circuit forming region

35

35

$\beta$ -SiC 層(絶縁層)

$\beta$ -SiC layer (insulating layer )

36a

36a

シリコン層(単結晶の半導体層)

silicon layer (semiconductor layer of single crystal )

36b

36b

シリコン層(単結晶でない半導体層)

silicon layer (semiconductor layer which is not a single crystal )

39

39

ONO 層(絶縁層)

ONO layer (insulating layer )

40

40

多結晶シリコン層(導電層)

polycrystalline silicon layer (conductive layer )

42

42

ゲート電極

gate electrode

43

43

ゲート絶縁膜

gate insulating film

44

44

ソース層

source layer

45

45

ドレイン層

drain layer

47

47

障壁層

barrier layer

48

48

フローティングゲート

floating gate

49

49

絶縁層

insulating layer

5

5

$\beta$ -SiC 層(絶縁層)

$\beta$ -SiC layer (insulating layer )

50

50

コントロールゲート

control gate

51

51

JP1995326718A

1995-12-12

ソース層

source layer

52

52

ドレイン層

drain layer

6

6

多結晶シリコン層(多結晶半導体層)

polycrystalline silicon layer (polycrystalline semiconductor layer )

9

9

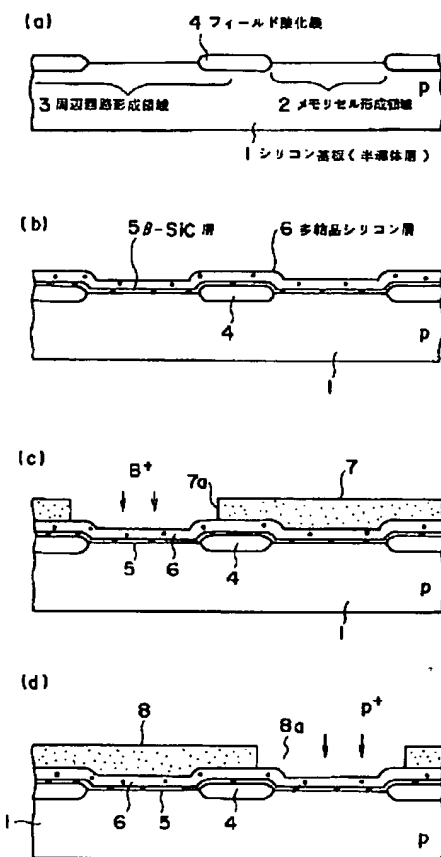
ONO 層(絶縁層)

ONO layer (insulating layer )

Drawings

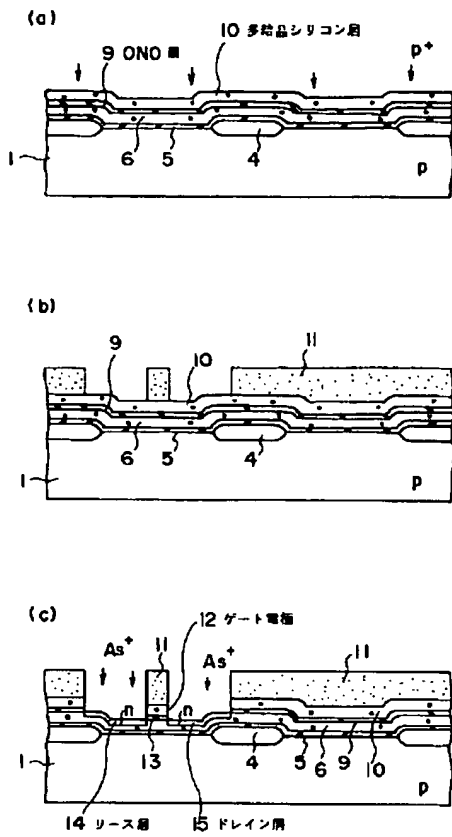
[Figure 1]

【図1】



【図2】

[Figure 2]



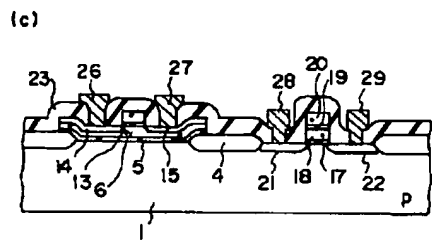
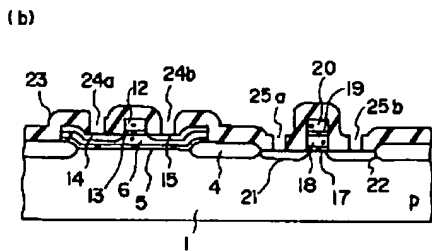
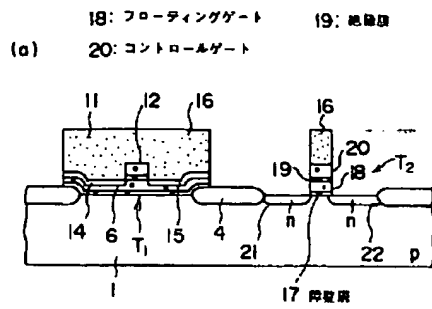
【図3】

[Figure 3]



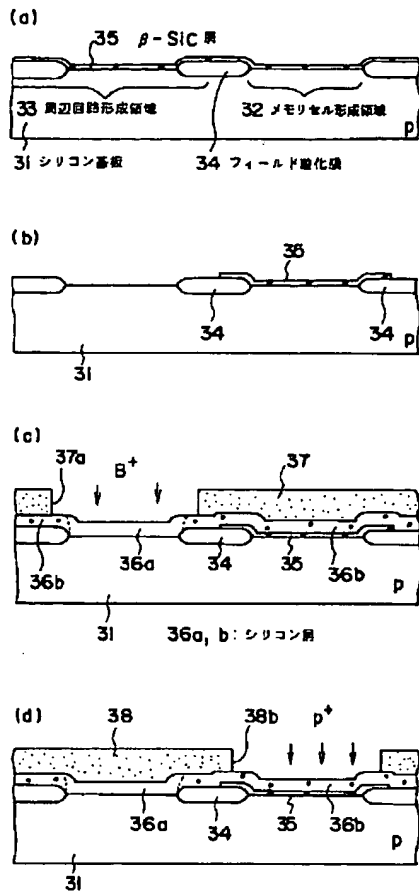
JP1995326718A

1995-12-12



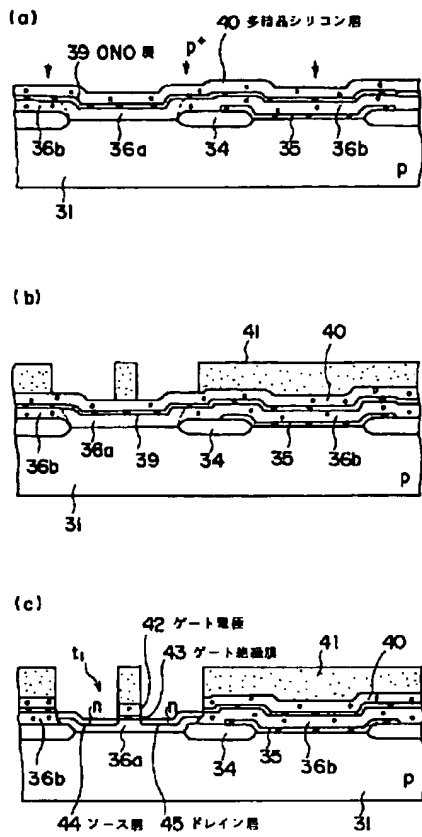
【図4】

[Figure 4]



【図5】

[Figure 5]



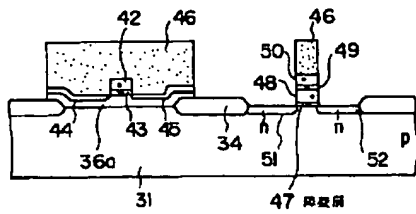
【図6】

[Figure 6]

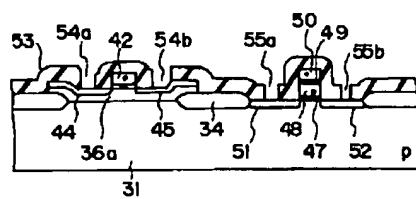
JP1995326718A

1995-12-12

48: フローティングゲート 49: 絶縁膜  
(a) 50: コントロールゲート



(b)



(c)

